

CLIPPEDIMAGE= JP358178529A  
PAT-NO: JP358178529A  
DOCUMENT-IDENTIFIER: JP 58178529 A  
TITLE: HYBRID INTEGRATED CIRCUIT DEVICE

PUBN-DATE: October 19, 1983

INVENTOR-INFORMATION:

NAME

KONDO, TAKASHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP57063012

APPL-DATE: April 13, 1982

INT-CL\_(IPC): H01L021/60

ABSTRACT:

PURPOSE: To reduce the area to be occupied by a circuit board by a method wherein a hole smaller in size than the semiconductor chip to be attached to the periphery of the hole is provided on the circuit board, a multiplicity of wiring conductors are fixed to the periphery of the hole, the semiconductor chip is bonded to the rear-side opening of the through hole, and the electrodes of the chip are connected to the front-side wiring conductors by means of wires running through the hole.

CONSTITUTION: A hole 11a with its size smaller than a semiconductor chip 13 is cut through a circuit board 11, and wiring conductors 12 extend outward on the circuit board 11 from the periphery of the hole 11a. The periphery of the chip 13 is fixed with an adhesive tightly to the periphery of the rear-side opening of the through hole 11a and wires 14 are connected to the electrodes provided on the chip 13. The wires 14 are let through the hole 11a to be bonded to the wiring conductors 12 on the front side of the circuit board 11. A process follows wherein the upper surface of the chip 13, and the wires

14 are sealed  
by the sealant 15 such as silicone or epoxy. A wire-bonded  
device designed in  
this way occupies only the same package area as a flip-chip does  
regardless of  
its nature.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—178529

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/60

識別記号

庁内整理番号  
6819—5F

⑬ 公開 昭和58年(1983)10月19日

発明の数 1  
審査請求 有

(全 4 頁)

⑭ 混成集積回路装置

機株式会社エル・エス・アイ研  
究所内

⑮ 特 願 昭57—63012

⑯ 出 願 人 三菱電機株式会社

⑰ 出 願 昭57(1982)4月13日

東京都千代田区丸の内2丁目2

⑱ 発 明 者 近藤隆

番3号

伊丹市瑞原4丁目1番地三菱電

⑲ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

混成集積回路装置

2. 特許請求の範囲

(1) 所要部分に所定形状を有する貫通孔が形成された回路基板、この回路基板の第1の表面上に上記貫通孔の周縁から伸びるように設けられた配線導体、一方の主面の中央部の、上記貫通孔の形状と同一形状の領域内に形成された電極を有しこの電極が形成された上記領域と上記貫通孔とが一致するようにして上記主面の周縁部が上記回路基板の第2の面に固着された半導体チップ、およびこの半導体チップの上記電極と上記配線導体とを上記貫通孔内を通して接続したボンディングワイヤを備えた混成集積回路装置。

(2) 回路基板の第2の面に、半導体チップの厚さより厚い厚さを有し上記第2の面上に半導体チップを固着すべき部位に対応する部分に上記半導体チップの外形状より大きい形状の貫通孔を形成した絶縁体が設けられたことを特徴とす

る特許請求の範囲第1項記載の混成集積回路装置。

3. 発明の詳細な説明

この発明は回路基板に半導体チップおよび外付け部品を装着してなる混成集積回路装置（以下「HIC」と呼ぶ）に関するものである。

第1図(A)は従来のHICの一例の半導体チップの回路基板への装着部を示す平面図、第1図(B)は第1図(A)のI-B—I-B線での断面図である。

図において、(1)は表面の一部に凹部(1a)が設けられた回路基板、(2)は回路基板(1)の表面上に凹部(1a)の側壁の上端から伸びるように形成された複数個の配線導体、(3)は第1の主面の端縁に沿って互いに所定間隔をおいて複数個の電極（図示せず）が形成され第2の主面が凹部(1a)の底面に固着された半導体チップ、(4)は半導体チップ(3)の電極（図示せず）とこれに対応する配線導体(2)とを接続するボンディングワイヤ、(5)はシリコン、エポキシなどの樹脂からなり凹部(1a)内からその周辺の回路基板(1)の表面上の一部にわたって、半導体チップ(3)、ボンディングワイヤ(4)および配線導体

(2)の所要部分を覆うように施され外気から半導体チップ(3)を保護するチップコートである。

ところで、この従来例のHICでは、半導体チップ(3)の第2の主面を回路基板(1)の凹部(1a)の底面にろう接して半導体チップ(3)の各電極とこれらの電極にそれぞれ対応する配線導体(2)とをボンディングワイヤ(4)で接続するいわゆるワイヤボンディング方式であるので、半導体チップ(3)の回路基板(1)への実装面積が半導体チップ(3)の主面の面積より大きくなる。従つて、時計などに用いるHICのように、回路基板(1)の小形化が要求される場合には不利であるという問題があつた。その上、チップコート(6)の回路基板(1)との接着面積も大きくなるので、回路基板(1)の熱膨張係数とチップコート(6)の熱膨張係数との差によつてチップコート(6)内に大きな応力が生じ、この応力によつてボンディングワイヤ(4)が断線するおそれがあり、信頼性が悪いという問題もあつた。このような問題を解決するために、従来、半導体チップ(3)の複数個の電極をすべて突起電極にして、これらの突起電極

をそれぞれの対応する配線導体(2)に同時にろう接するいわゆるフリップチップ方式が用いられている。ところが、このフリップチップ方式では、突起電極にした半導体チップ(3)の回路基板(1)への実装面積が半導体チップ(3)の主面の面積と同一になるので、回路基板(1)を小形化することができるが、突起電極にした半導体チップ(3)の価格がワイヤボンディング方式に用いる突起電極にしない半導体チップ(3)の価格より著しく高くなる。その上、突起電極にした半導体チップ(3)の各突起電極をそれぞれの対応する配線導体(2)に同時に満足すべき状態でろう接することは容易ではないので、フリップチップ方式での製造歩留りがワイヤボンディング方式での製造歩留りより低く、製造コストも高くなるという欠点があつた。

この発明は、上述の欠点に鑑みてなされたもので、ワイヤボンディング方式を用いながら半導体チップの回路基板への実装面積を小さくできるように半導体チップおよび回路基板の構造を改良することによつて、回路基板の形状を小形化すると

ともに価格を安くしたHICを提供することを目的とする。

第2図(A)はこの発明の一実施例のHICの半導体チップの回路基板への実装部を示す平面図、第2図(B)は第2図(A)のII B-II B線での断面図である。

図において、(II)は所要部分に所定形状を有する貫通孔(11a)が形成された回路基板、(III)は回路基板(II)の第1の表面上に貫通孔(11a)の周縁から伸びるように形成された複数個の配線導体、(IV)は一方の主面の中央部の、貫通孔(11a)の形状と同一形状の領域内に複数個の電極(図示せず)が形成された半導体チップで、この半導体チップ時の電極形成領域が貫通孔(11a)と一致するようにして半導体チップ時の周縁部が回路基板(II)の第2の表面に接着剤で接着されている。(V)は半導体チップ時の電極(図示せず)とこれに対応する配線導体(IV)とを貫通孔(11a)内を通して接続するボンディングワイヤ、(VI)はシリコン、エポキシなどの樹脂からなり貫通孔(11a)内からその周辺の回路基板(II)の第1の表面上の一部にわたつて、半導体チ

ップ時の電極形成領域、ボンディングワイヤ(V)および配線導体(IV)の所要部分を覆うように施され外気から半導体チップ時を保護するチップコートである。

このように構成されたこの実施例では、半導体チップ時の外形寸法より小さい形状の貫通孔(11a)内を通して半導体チップ時の電極とこれに対応する配線導体(IV)とをボンディングワイヤ(V)で接続するので、ワイヤボンディング方式でありながら半導体チップ時の回路基板(II)への実装面積を、フリップチップ方式の場合の実装面積とほぼ同一にすることができる。また、回路基板(II)の小形化を図ることができる。また、半導体チップ時の価格を、フリップチップ方式に用いる突起電極にした半導体チップ時の価格より安くすることができ、しかも製造歩留りをフリップチップ方式の場合の製造歩留りよりよくすることができるので、価格の低減を図ることができる。更に、チップコート(VI)の回路基板(II)との接着面積を、第1図に示した従来例のそれより小さくすることができるので、これらの間

の熱膨張係数の差によつてチップコート肉内に生ずる応力が第1図に示した従来例のそれより小さく、この応力によつてボンディングワイヤ14が断線するおそれが少なくなり、信頼性を向上させることができる。

第4図はこの発明の他の実施例のHICの半導体チップの回路基板への接着部を示す断面図である。

図において、第2図に示した実施例の符号と同一符号は同等部分を示し、その説明は省略する。12は半導体チップ12の厚さより厚い厚さを有し半導体チップ12の外形寸法より大きい形状の貫通孔(16a)が形成され貫通孔(16a)内に回路基板11に接着された半導体チップ12を挿入させて回路基板11に固着された絶縁体で、この絶縁体14は半導体チップ12が外部物体と衝突して損傷するのを防止する役目をする。

このようなこの実施例の構成では、第2図に示した実施例と同様の効果がある上に、絶縁体14によつて半導体チップ12が保護されているので、搬送時における取り扱いなどが容易になる。

の中央部の上記貫通孔の形状と同一形状の領域内に電極を形成し、上記貫通孔と上記電極形成領域とが一致するようにして上記半導体チップの上記主面の周縁部を上記回路基板の第2の表面に固着して、上記半導体チップの上記電極と上記配線導体とを上記貫通孔内を通してボンディングワイヤで接続するので、ワイヤボンディング方式でありながら上記半導体チップの上記回路基板への実装面積をフリップチップ方式の組合の実装面積とはほぼ同一程度にすることができ、上記回路基板の小形化を図ることができる。また、上記半導体チップの価格をフリップチップ方式に用いる突起電極にした半導体チップの価格より安くすることができ、しかも製造歩留りをフリップチップ方式の組合の製造歩留りよりよくすることができるので、価格の低減を図ることができる。

#### 4. 図面の簡単な説明

第1図(A)は従来例のHICの一例の半導体チップの回路基板への接着部を示す平面図、第1図(B)は第1図(A)の【B-B】線での断面図、第2図(A)はこの

この実施例では、絶縁体14を回路基板11に固着したが、絶縁体14を回路基板11と一体構造にしてもよい。

なお、上記各実施例では、チップコート肉を設けたが、必ずしもチップコート肉を設ける必要はなく、半導体チップ12がガラス被膜などによつて外気から保護されている場合にはチップコート肉を省略してもよい。また、上記各実施例では、半導体チップ12の周縁部を接着剤を用いて回路基板11に固着したが、必ずしもこれは接着剤に限定する必要はなく、半導体チップ12の周縁部を半田などのろう材を用いて回路基板11に固着するようにしてもよく、もしくは半導体チップ12の複数個の電極のうちの一部を半導体チップ12の周縁部に配設し、この周縁部に配設された電極を突起電極にして、この突起電極を用いて半導体チップの周縁部を回路基板11に固着するようにしてもよい。

以上、説明したように、この発明のHICでは、第1の表面上に配線導体が形成された回路基板に所定形状の貫通孔を形成し、半導体チップの主面

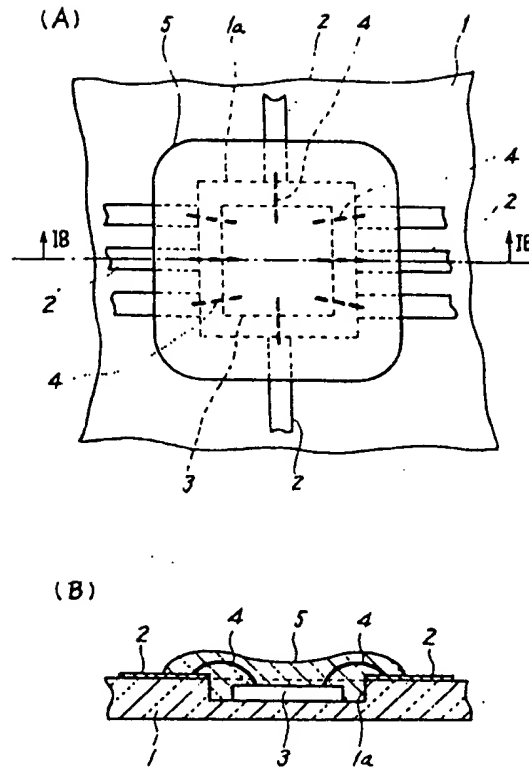
発明の一実施例のHICの半導体チップの回路基板への接着部を示す平面図、第2図(B)は第2図(A)の【B-B】線での断面図、第3図はこの発明の他の実施例のHICの半導体チップの回路基板への接着部を示す断面図である。

図において、11は回路基板、(11a)は貫通孔、12は配線導体、13は半導体チップ、14はボンディングワイヤ、14は絶縁体、(16a)は貫通孔である。

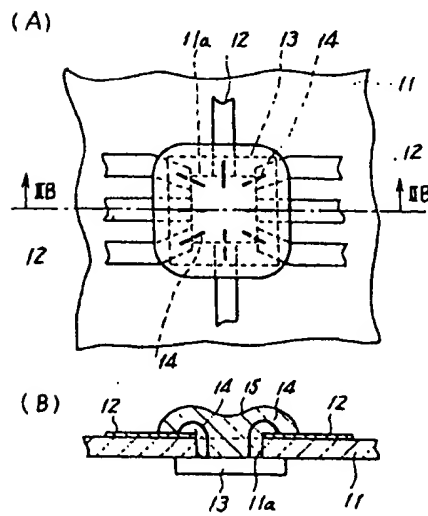
なお、図中同一符号はそれぞれ同一もしくは相当部分を示す。

代理人 島野 信一(外1名)

第 1 図



第 2 図



第 3 図

